

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-134246

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09F 9/00
G09G 3/20
G11C 19/00
G11C 19/28
H01L 29/786

(21)Application number : 2000-243953

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 11.08.2000

(72)Inventor : TANAKA YUKIO

(30)Priority

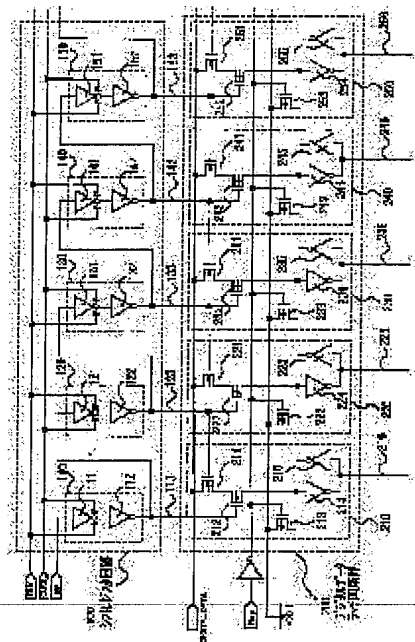
Priority number : 11232048 Priority date : 18.08.1999 Priority country : JP

(54) DISPLAY DEVICE AND ITS DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit which is simple and has a small area.

SOLUTION: The driving circuit is provided with a shift register circuit having plural register circuits that have serially connected clocked inverter circuits and inverter circuits and plural latch circuits having first n type Trs in which sources and drains are serially connected, second n type Trs, p type Trs and a data holding circuit. The clocked inverter circuits and the inverter circuits generate signals based on clock signals and start pulses, output signals to the register circuits adjacent to the register circuit and the gate electrodes of the first n type Trs. The p type Trs input a first voltage to the data holding circuit by Res to their gate electrodes. Based on the signals, the second n type Trs take in data, output the data to the source or the drain of the first n type Trs. Signals from adjacent register circuits to the register circuit are outputted to the gate electrodes of the first n type Trs.



LEGAL STATUS

[Date of request for examination] 25.07.2007

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-134246
(P2001-134246A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 C
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 H 6 2 3 G

審査請求 未請求 請求項の数16 ○L (全 23 頁) 最終頁に続く

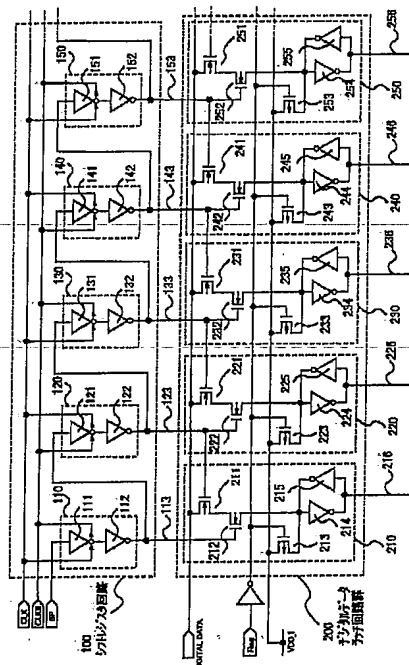
(21)出願番号 特願2000-243953(P2000-243953)
(22)出願日 平成12年8月11日(2000.8.11)
(31)優先権主張番号 特願平11-232048
(32)優先日 平成11年8月18日(1999.8.18)
(33)優先権主張国 日本(J P)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 田中 幸夫
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 表示装置およびその駆動回路

(57)【要約】

【課題】簡素かつ面積小の駆動回路を提供すること。
【解決手段】直列接続のクロックドインバータ回路及びインバータ回路を有する複数のレジスタ回路を有するシフトレジスタ回路とソース又はドレインが直列接続の第1のn型Tr及び第2のn型Trとp型Trとデータ保持回路とを有する複数のラッチ回路とを有する駆動回路であって、クロックドインバータ回路及びインバータ回路は、クロック信号及びスタートパルスに基づいて信号を発生させ、レジスタ回路に隣接するレジスタ回路及び第1のn型Trのゲート電極に信号を出力し、p型Trはそのゲート電極にResにより第1の電圧をデータ保持回路に入力し、第2のn型Trは信号に基づきデータを取り込み第1のn型Trのソース又はドレインに出力し、レジスタ回路に隣接のレジスタ回路からの信号は第1のn型Trのゲート電極に出力される駆動回路。



【特許請求の範囲】

【請求項 1】直列に接続されたクロックドインバータ回路およびインバータ回路を有する複数のレジスタ回路を有するシフトレジスタ回路と、

ソースまたはドレインが直列に接続された第 1 の n チャネル型トランジスタおよび第 2 の n チャネル型トランジスタと、p チャネル型トランジスタと、デジタルデータ保持回路とを有する複数のデジタルデータラッチ回路と、を有する表示装置の駆動回路であって、

前記クロックドインバータ回路および前記インバータ回路は、外部から入力される、クロック信号、クロックバック信号、およびスタートパルスに基づいてタイミング信号を発生させ、前記レジスタ回路に隣接するレジスタ回路および前記第 2 の n チャネル型トランジスタのゲート電極に前記タイミング信号を出力し、

前記 p チャネル型トランジスタは、前記 p チャネル型トランジスタのゲート電極に外部から入力されるリセット信号によって第 1 の電源電圧を前記デジタルデータ保持回路に入力し、

前記第 1 の n チャネル型トランジスタは、前記タイミング信号に基づき入力されるデジタルデータを取り込み前記第 2 の n チャネル型トランジスタのソースまたはドレインに出力し、

前記レジスタ回路に隣接するレジスタ回路から出力されるタイミング信号は、前記第 1 の n チャネル型トランジスタのゲート電極に出力されることを特徴とする表示装置の駆動回路。

【請求項 2】直列に接続されたクロックドインバータ回路およびインバータ回路を有するレジスタ回路を有するシフトレジスタ回路と、

ソースまたはドレインが直列に接続された第 1 の n チャネル型トランジスタおよび第 2 の n チャネル型トランジスタと、p チャネル型トランジスタと、デジタルデータ保持回路とを有するデジタルデータラッチ回路と、

を有する表示装置の駆動回路であって、

前記第 2 の n チャネル型トランジスタのゲート電極は前記レジスタ回路の出力線と接続されており、前記第 2 の n チャネル型トランジスタのソースまたはドレインは前記第 1 の n チャネル型トランジスタのソースまたはドレインと接続されており、前記第 2 の n チャネル型トランジスタのソースまたはドレインの一方は前記デジタルデータ保持回路と接続されており、

前記第 1 の n チャネル型トランジスタのゲート電極は前記レジスタ回路に隣接するレジスタ回路の出力線と接続されており、前記第 1 の n チャネル型トランジスタのソースまたはドレインの一方はデジタルデータが入力される信号線と接続されており、

前記 p チャネル型トランジスタのゲート電極にはリセット信号が入力される信号線と接続されており、前記 p チャネル型トランジスタのソースまたはドレインの一方は

第 1 の電源に接続されており、前記 p チャネル型トランジスタのソースまたはドレインの一方は前記デジタルデータ保持回路と接続されていることを特徴とする表示装置の駆動回路。

【請求項 3】直列に接続されたクロックドインバータ回路およびインバータ回路を有する複数のレジスタ回路を有するシフトレジスタ回路と、

ソースまたはドレインが直列に接続された第 1 の p チャネル型トランジスタおよび第 2 の p チャネル型トランジスタと、n チャネル型トランジスタと、デジタルデータ保持回路とを有する複数のデジタルデータラッチ回路と、

を有する表示装置の駆動回路であって、

前記クロックドインバータ回路および前記インバータ回路は、外部から入力される、クロック信号、クロックバック信号、およびスタートパルスに基づいてタイミング信号を発生させ、前記レジスタ回路に隣接するレジスタ回路および前記第 2 の p チャネル型トランジスタのゲート電極に前記タイミング信号を出力し、

前記 n チャネル型トランジスタは、前記 n チャネル型トランジスタのゲート電極に外部から入力されるリセット信号によって第 2 の電源電圧を前記デジタルデータ保持回路に入力し、

前記第 1 の p チャネル型トランジスタは、前記タイミング信号に基づき入力されるデジタルデータを取り込み前記第 2 の p チャネル型トランジスタのソースまたはドレインに出力し、

前記レジスタ回路に隣接するレジスタ回路から出力されるタイミング信号は、前記第 1 の p チャネル型トランジスタのゲート電極に出力されることを特徴とする表示装置の駆動回路。

【請求項 4】直列に接続されたクロックドインバータ回路およびインバータ回路を有するレジスタ回路を有するシフトレジスタ回路と、

ソースまたはドレインが直列に接続された第 1 の p チャネル型トランジスタおよび第 2 の p チャネル型トランジスタと、n チャネル型トランジスタと、デジタルデータ保持回路とを有するデジタルデータラッチ回路と、

を有する表示装置の駆動回路であって、

前記第 2 の p チャネル型トランジスタのゲート電極は前記レジスタ回路の出力線と接続されており、前記第 2 の p チャネル型トランジスタのソースまたはドレインは前記第 1 の p チャネル型トランジスタのソースまたはドレインと接続されており、前記第 2 の p チャネル型トランジスタのソースまたはドレインの一方は前記デジタルデータ保持回路と接続されており、

前記第 1 の p チャネル型トランジスタのゲート電極は前記レジスタ回路に隣接するレジスタ回路の出力線と接続されており、前記第 1 の p チャネル型トランジスタのソースまたはドレインの一方はデジタルデータが入力

される信号線と接続されており、前記nチャンネル型トランジスタのゲート電極にはリセット信号が入力される信号線と接続されており、前記nチャンネル型トランジスタのソースまたはドレインの一方は第2の電源に接続されており、前記nチャンネル型トランジスタのソースまたはドレインのもう一方は前記デジタルデータ保持回路と接続されていることを特徴とする表示装置の駆動回路。

【請求項5】前記デジタルデータ保持回路は2つのインバータ回路を有することを特徴とする請求項1乃至4のいずれかに記載の表示装置の駆動回路。

【請求項6】前記デジタルデータ保持回路は容量を有することを特徴とする請求項1乃至4のいずれかに記載の表示装置の駆動回路。

【請求項7】請求項1乃至6のいずれかに記載の前記駆動回路を有する表示装置。

【請求項8】請求項7に記載の表示装置を有するプロジェクト。

【請求項9】請求項5に記載の表示装置を3個有するリアプロジェクト。

【請求項10】請求項5に記載の表示装置を3個有するフロントプロジェクト。

【請求項11】請求項5に記載の表示装置を有するゴーグル型ディスプレイ。

【請求項12】請求項5に記載の表示装置を有するモバイルコンピュータ。

【請求項13】請求項5に記載の表示装置を有するノートブック型パーソナルコンピュータ。

【請求項14】請求項5に記載の表示装置を有するビデオカメラ。

【請求項15】請求項5に記載の表示装置を有するDVDプレーヤー。

【請求項16】請求項5に記載の表示装置を有するゲーム機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は駆動回路に関する。特に、表示装置の駆動回路に関する。

【0003】

【従来の技術】

【0004】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置(液晶表示装置)の需要が高まってきたことによる。

【0005】アクティブマトリクス型液晶表示装置は、画素部に数十～数百万個ものTFTがマトリクス状に配置され、各TFTに接続された画素電極に出入りする電荷をTFTのスイッチング機能により制御するものであ

る。

【0006】従来、画素部には、ガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【0007】また近年、基板として石英を利用し、多結晶珪素膜でもって薄膜トランジスタを作製する構成も知られている。この場合、周辺駆動回路も画素部も石英基板上に形成される薄膜トランジスタでもって構成される。

【0008】また最近、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。この技術を利用すると、ガラス基板に画素部と周辺駆動回路とを集積化することができる。

【0009】

【発明が解決しようとする課題】

【0010】アクティブマトリクス型液晶表示装置は、主としてノート型のパーソナルコンピュータに用いられている。パーソナルコンピュータは、現行のテレビジョン信号(NTSCやPAL)等のアナログデータとは異なり、デジタルデータを表示装置に出力する。従来は、パーソナルコンピュータからのデジタルデータをアナログデータに変換しアクティブマトリクス型液晶表示装置に入力したり、外付けのデジタルドライバを用いたアクティブマトリクス型液晶表示装置に入力したりしていた。

【0011】そこで、外部からデジタルデータを直接入力することができるデジタルインターフェイスを有する液晶表示装置が注目されてきている。

【0012】ここで、図17に最近注目されつつあるデジタルインターフェイスを有する液晶表示装置のソースドライバの一部を示す。図17において、8000はシフトレジスタ回路であり、8100はデジタルデータラッチ回路である。シフトレジスタ回路2000は、外部から供給されるクロック信号(CLK)、クロック反転信号(CLKB)およびスタートパルス(SP)に基づいてタイミング信号を発生させ、デジタルデータラッチ回路8100に前記タイミング信号を送出する。デジタルデータラッチ回路8100は、シフトレジスタ回路8000からのタイミング信号に基づき外部から入力されるデジタルデータ(DIGITAL DATA)をサンプリングし(取り込み)、記憶保持する。

【0013】なお、図17においてはシフトレジスタ回路8000には、走査方向切替回路が含まれている。走査方向切替回路は、外部から入力される走査方向切替信号によりシフトレジスタ回路8000から出力されるタイミング信号の順序を左から右または右から左と制御するための回路である。

【0014】図17に示すような従来のシフトレジスタ回路8000においては、シフトレジスタ回路8000

は複雑で、それを構成する素子の数が多い。より高解像度なアクティブマトリクス型液晶表示装置が要求されている現状においては、解像度の向上に伴いシフトレジスタ回路の面積も大きくなり、シフトレジスタ回路を構成する素子の数も増大してしまう。

【0015】素子数の増大によって液晶表示装置全体の製造歩留りが悪くなってしまう。また、回路の占有面積が大きくなることによって液晶表示装置の小型化が妨げられてしまう。

【0016】そこで、本発明は上述の問題を鑑みてなされたものであり、アクティブマトリクス型液晶表示装置の小型化および製造歩留りの向上を達成すべく、簡素でかつ占有面積の小さな駆動回路を提供するものである。

【0017】

【課題を解決するための手段】

【0018】図1を参照する。図1には本発明の駆動回路が示されている。100はシフトレジスタ回路であり、200はデジタルデータラッチ回路群である。なお、図1には、説明の便宜上、5段のシフトレジスタ回路100およびそれに対応する1ビット分のデジタルデータラッチ回路群200のみが示されている。しかし、本発明の駆動回路は、n段のシフトレジスタ回路を有するようにしてもよいし、またmビット分のデジタルデータラッチ回路群を有するようにしてもよい。

【0019】シフトレジスタ回路100は複数のレジスタ回路110、120、130、140および150を有している。レジスタ回路110を例にとって説明する。レジスタ回路110はクロックドインバータ回路111およびインバータ回路112を有している。さらに、レジスタ回路は信号線113を有しており、この信号線113の寄生容量もレジスタ回路を構成する素子と拮抗してもよい。また、シフトレジスタ回路100には、外部から、クロック信号(CLK)、クロックバック信号(CLKB)およびスタートパルス(SP)が入力されるようになっており、これらの信号はレジスタ回路110、120、130、140および150に入力される。

【0020】クロックドインバータ回路111は、入力されるクロック信号(CLK)および反転クロック信号(CLKB)に同期して動作し、入力されるスタートパルス(SP)をインバータ回路112に出力する。インバータ回路112は入力されたパルスを信号線113および次段のレジスタ回路120へ出力するが、信号線113には接続されている素子が多く寄生容量が大きいいため高負荷である。本発明では信号線113の寄生容量が大きいために高負荷であることを積極的に利用している。よって、レジスタ回路110、120、130、140および150から一定の間隔で順にタイミング信号が出力される。

【0021】デジタルデータラッチ回路群200は、デ

ジタルデータラッチ回路210、220、230、240および250を有している。デジタルデータラッチ回路210を例にとって説明する。デジタルデータラッチ回路210は、第1のnチャネル型トランジスタ211および第2のnチャネル型トランジスタ212、pチャネル型トランジスタ213、ならびにインバータ回路214および215を有している。デジタルデータラッチ回路210には、外部から、デジタルデータ(DIGITAL DATA)およびリセット信号(Res)が入力される。また、pチャネル型トランジスタ213のソースまたはドレインには第1の電源電圧(VDD_1)が接続されている。第1の電源電圧(VDD_1)は、nチャネル型トランジスタの動作電位よりも高く設定されている。

【0022】シフトレジスタ回路100にスタートパルス(SP)が入力される直前に、リセット信号(Res)が入力され、インバータ回路214、224、234、244および254に第1の電源電圧(VDD_1)、つまり正論理"1(Hi)"の信号が入力される。

【0023】レジスタ回路110から信号線113を通じて出力されるタイミング信号がデジタルデータラッチ回路210のnチャネル型トランジスタ212に入力されnチャネル型トランジスタ212が動作し、かつ次段のレジスタ回路120から信号線123を通じて出力されるタイミング信号がデジタルデータラッチ回路210のnチャネル型トランジスタ211に入力されnチャネル型トランジスタ211が動作すると、外部から入力されるデジタルデータがインバータ回路214に取り込まれ、インバータ回路214および215によって保持される。このとき外部から入力されるデジタルデータが"1(Hi)"であれば、インバータ回路214および215によってデジタルデータ"1"が保持される。一方、外部から入力されるデジタルデータが"0(Lo)"であれば、インバータ回路214には"0"が入力され、インバータ回路214および215によってデジタルデータ"0-(Lo)"が保持されることになる。

【0024】次に、図19を参照する。図19には本発明の駆動回路が示されている。3800はシフトレジスタ回路であり、3900はデジタルデータラッチ回路群である。なお、図19には、説明の便宜上、5段のシフトレジスタ回路3800およびそれに対応する1ビット分のデジタルデータラッチ回路群3900のみが示されている。しかし、本発明の駆動回路は、n段のシフトレジスタ回路を有するようにしてもよいし、またmビット分のデジタルデータラッチ回路群を有するようにしてもよい。

【0025】ここで説明する本発明の駆動回路は、図1に示した本発明の駆動回路とデジタルデータラッチ回路群の構成が異なる。

【0026】デジタルデータラッチ回路群3900は、デジタルデータラッチ回路3910、3920、3930、3940および3950を有している。デジタルデータラッチ回路3910を例にとって説明する。デジタルデータラッチ回路3910は、第1のpチャネル型トランジスタ3911および第2のpチャネル型トランジスタ3912、nチャネル型トランジスタ3913、ならびにインバータ回路3914および3915を有している。デジタルデータラッチ回路3910には、外部から、デジタルデータ(DIGITAL DATA)およびリセット信号(Res)が入力される。また、nチャネル型トランジスタ3913のソースまたはドレインには第2の電源電圧(VSS_1)が接続されている。第2の電源電圧(VSS_1)は、pチャネル型トランジスタの動作電位よりも低く設定されている。

【0027】シフトレジスタ回路3800にスタートパルス(SP)が入力される直前に、リセット信号(Res)が入力され、インバータ回路3914、3924、3934、3944および3954に第2の電源電圧(VSS_1)、つまり負論理"0(Lo)"の信号が入力される。

【0028】レジスタ回路3810から信号線3813を通じて出力されるタイミング信号がデジタルデータラッチ回路3910のpチャネル型トランジスタ3912に入力されpチャネル型トランジスタ3812が動作し、かつ次段のレジスタ回路3820から信号線3823を通じて出力されるタイミング信号がデジタルデータラッチ回路3910のpチャネル型トランジスタ3911に入力されpチャネル型トランジスタ3911が動作すると、外部から入力されるデジタルデータがインバータ回路3914に取り込まれ、インバータ回路3914および3915によって保持される。このとき外部から入力されるデジタルデータが"0(Lo)"であれば、インバータ回路3914および3915によってデジタルデータ"0"が保持される。一方、外部から入力されるデジタルデータが"1(Hi)"であれば、インバータ回路3914には"1"が入力され、インバータ回路3914および3915によってデジタルデータ"1(Hi)"が保持されることになる。

【0029】なお、全てのレジスタ回路および全てのデジタルデータラッチ回路が上述の動作をする。

【0030】以上のような構成をとることにより、本発明の駆動回路は、従来の駆動回路よりも素子数が半分以上で済むことになる。

【0031】ここで、本発明の構成を下記に記載する。

【0032】請求項1に記載の本発明の駆動回路は、直列に接続されたクロックドインバータ回路およびインバータ回路を有する複数のレジスタ回路を有するシフトレジスタ回路と、ソースまたはドレインが直列に接続された第1のnチャネル型トランジスタおよび第2のnチャ

ネル型トランジスタと、pチャネル型トランジスタと、デジタルデータ保持回路とを有する複数のデジタルデータラッチ回路と、を有する表示装置の駆動回路であって、前記クロックドインバータ回路および前記インバータ回路は、外部から入力される、クロック信号、クロックバック信号、およびスタートパルスに基づいてタイミング信号を発生させ、前記レジスタ回路に隣接するレジスタ回路および前記第2のnチャネル型トランジスタのゲート電極に前記タイミング信号を出力し、前記pチャネル型トランジスタは、前記pチャネル型トランジスタのゲート電極に外部から入力されるリセット信号によって第1の電源電圧を前記デジタルデータ保持回路に入力し、前記第1のnチャネル型トランジスタは、前記タイミング信号に基づき入力されるデジタルデータを取り込み前記第2のnチャネル型トランジスタのソースまたはドレインに出力し、前記レジスタ回路に隣接するレジスタ回路から出力されるタイミング信号は、前記第1のnチャネル型トランジスタのゲート電極に出力されることを特徴とする表示装置の駆動回路である。

【0033】また、請求項2に記載の本発明の駆動回路は、直列に接続されたクロックドインバータ回路およびインバータ回路を有するレジスタ回路を有するシフトレジスタ回路と、ソースまたはドレインが直列に接続された第1のnチャネル型トランジスタおよび第2のnチャネル型トランジスタと、pチャネル型トランジスタと、デジタルデータ保持回路とを有するデジタルデータラッチ回路と、を有する表示装置の駆動回路であって、前記第2のnチャネル型トランジスタのゲート電極は前記レジスタ回路の出力線と接続されており、前記第2のnチャネル型トランジスタのソースまたはドレインは前記第1のnチャネル型トランジスタのソースまたはドレインと接続されており、前記第2のnチャネル型トランジスタのソースまたはドレインのもう一方は前記デジタルデータ保持回路と接続されており、前記第1のnチャネル型トランジスタのゲート電極は前記レジスタ回路に隣接するレジスタ回路の出力線と接続されており、前記第1のnチャネル型トランジスタのソースまたはドレインのもう一方はデジタルデータが入力される信号線と接続されており、前記pチャネル型トランジスタのゲート電極にはリセット信号が入力される信号線と接続されており、前記pチャネル型トランジスタのソースまたはドレインの一方は第1の電源に接続されており、前記pチャネル型トランジスタのソースまたはドレインのもう一方は前記デジタルデータ保持回路と接続されていることを特徴とする表示装置の駆動回路である。

【0034】また、請求項3に記載の本発明の駆動回路は、直列に接続されたクロックドインバータ回路およびインバータ回路を有する複数のレジスタ回路を有するシフトレジスタ回路と、ソースまたはドレインが直列に接続された第1のpチャネル型トランジスタおよび第2の

pチャネル型トランジスタと、nチャネル型トランジスタと、デジタルデータ保持回路とを有する複数のデジタルデータラッチ回路と、を有する表示装置の駆動回路であって、前記クロックドインバータ回路および前記インバータ回路は、外部から入力される、クロック信号、クロックバック信号、およびスタートパルスに基づいてタイミング信号を発生させ、前記レジスタ回路に隣接するレジスタ回路および前記第2のpチャネル型トランジスタのゲート電極に前記タイミング信号を出力し、前記nチャネル型トランジスタは、前記nチャネル型トランジスタのゲート電極に外部から入力されるリセット信号によって第2の電源電圧を前記デジタルデータ保持回路に

入力し、前記第1のpチャネル型トランジスタは、前記タイミング信号に基づき入力されるデジタルデータを取り込み前記第2のpチャネル型トランジスタのソースまたはドレインに出力し、前記レジスタ回路に隣接するレジスタ回路から出力されるタイミング信号は、前記第1のpチャネル型トランジスタのゲート電極に出力されることを特徴とする表示装置の駆動回路である。

【0035】また、請求項4に記載の本発明の駆動回路は、直列に接続されたクロックドインバータ回路およびインバータ回路を有するレジスタ回路を有するシフトレジスタ回路と、ソースまたはドレインが直列に接続された第1のpチャネル型トランジスタおよび第2のpチャネル型トランジスタと、nチャネル型トランジスタと、デジタルデータ保持回路とを有するデジタルデータラッチ回路と、を有する表示装置の駆動回路であって、前記第2のpチャネル型トランジスタのゲート電極は前記レジスタ回路の出力線と接続されており、前記第2のpチャネル型トランジスタのソースまたはドレインは前記第1のpチャネル型トランジスタのソースまたはドレインと接続されており、前記第2のpチャネル型トランジスタのソースまたはドレインの一方は前記デジタルデータ保持回路と接続されており、前記第1のpチャネル型トランジスタのゲート電極は前記レジスタ回路に隣接するレジスタ回路の出力線と接続されており、前記第1のpチャネル型トランジスタのソースまたはドレインの一方はデジタルデータが入力される信号線と接続されており、前記nチャネル型トランジスタのゲート電極にはリセット信号が入力される信号線と接続されており、前記nチャネル型トランジスタのソースまたはドレインの一方は第2の電源に接続されており、前記nチャネル型トランジスタのソースまたはドレインの一方は前記デジタルデータ保持回路と接続されていることを特徴とする表示装置の駆動回路である。

【0036】ここで、以下に本発明の実施の形態について説明する。

【0037】

【発明の実施の形態】

【0038】図2を参照する。図2には、本発明の駆動

回路のある実施の形態が示されている。図2において、300はシフトレジスタ回路、400は左右走査方向切替回路、500はデジタルデータラッチ回路群である。なお、図2においても、説明の便宜上、5段のシフトレジスタ回路300ならびにそれに対応する左右走査方向切替回路400および1ビット分のデジタルデータラッチ回路群500のみが示されている。しかし、本発明の駆動回路はn段のシフトレジスタ回路を有するようにしてもいいし、またmビット分のデジタルデータラッチ回路群を有するようにしてもよい。

【0039】シフトレジスタ回路300は複数のレジスタ回路310、320、330、340および350を有している。なお、上述したが、n段のレジスタ回路を有するようにしてもよい。

【0040】レジスタ回路310を例にとって説明する。レジスタ回路310はクロックドインバータ回路およびインバータ回路を有している。さらに、レジスタ回路は信号線313を有しており、この信号線313の寄生容量もレジスタ回路を構成する素子と捉えてもよい。また、シフトレジスタ回路300には、外部から、クロック信号(CLK)、クロックバック信号(CLKB)およびスタートパルス(SP)が入力されるようになっており、これらの信号はレジスタ回路310、320、330、340および350に入力される。

【0041】走査方向切替回路400について説明する。走査方向切替回路400は、複数の切替回路410、420、430、440および450を有している。切替回路410、420、430、440および450は、それぞれ、2つのアナログスイッチSWLおよびSWRを有している。切替回路410、420、430、440および450は、外部から入力される走査方向切替信号(L/R)によってレジスタ回路から出力される信号を左右どちらのレジスタ回路に出力するかを制御する回路である。

【0042】本実施の形態においては、左右方向切替信号(L/R)に"0(L0)"が入力されるとアナログスイッチSWRが動作し、レジスタ回路310から出力されるタイミング信号が右隣のレジスタ回路320へ入力される。さらに、レジスタ回路320から出力されるタイミング信号が右隣のレジスタ回路330へ入力される。このように、走査方向切替信号(L/R)に"0(L0)"が入力された場合は、次々と右隣のレジスタ回路へ一定の間隔で発生したタイミング信号が出力されていくことになる。

【0043】この場合、レジスタ回路310はタイミング信号を信号線313を通じてデジタルデータラッチ回路群のデジタルデータラッチ回路510および次段のレジスタ回路323へ出力するが、信号線313には接続されている素子が多く寄生容量が大きい場合高負荷である。

【0044】デジタルデータラッチ回路510は、2つのnチャンネル型トランジスタ、pチャンネル型トランジスタ、ならびに2つのインバータ回路を有している。デジタルデータラッチ回路510には、外部から、デジタルデータ(DIGITAL DATA)およびリセット信号(Res)が入力される。また、pチャンネル型トランジスタのソースまたはドレインには第1の電源電圧(VDD_1)が接続されている。

【0045】シフトレジスタ回路300にスタートパルス(SP)が入力される直前に、リセット信号(Res)が入力され、インバータ回路514、524、534、544および554に第1の電源電圧(VDD_1)、つまり正論理"1(Hi)"の信号が入力される。

【0046】レジスタ回路310から信号線313を通じて出力されるタイミング信号がデジタルデータラッチ回路510のnチャンネル型トランジスタ512に入力されnチャンネル型トランジスタ512が動作し、かつ次段のレジスタ回路320から信号線323を通じて出力されるタイミング信号がデジタルデータラッチ回路510のnチャンネル型トランジスタ511に入力されnチャンネル型トランジスタ511が動作すると、外部から入力されるデジタルデータがインバータ回路514に取り込まれ、インバータ回路514および515によって保持される。このとき外部から入力されるデジタルデータが"1(Hi)"であれば、インバータ回路514および515によってデジタルデータ"1"が保持される。一方、外部から入力されるデジタルデータが"0(Lo)"であれば、インバータ回路514には"0"が入力され、インバータ回路514および515によってデジタルデータ"0(Lo)"が保持されることになる。

【0047】また、走査方向切替信号(L/R)に"1(Hi)"が入力されるとアナログスイッチSWLが動作し、レジスタ回路350から出力されるタイミング信号が左隣のレジスタ回路340へ入力される。さらに、レジスタ回路340から出力されるパルスが左隣のレジスタ回路330へ入力される。このように、走査方向切替信号(L/R)に"1(Hi)"が入力された場合は、次々と左隣のレジスタ回路へ一定の間隔で発生したタイミング信号が出力されていくことになる。

【0048】デジタルデータラッチ回路群500のデジタルデータラッチ回路510~550の動作は、上述の走査方向切替信号(L/R)に"0(Lo)"である場合と同様である。

【0049】次に、図3を参照する。図3には、上述の駆動回路のデジタルデータラッチ回路群の回廊構成を変えた本発明の駆動回路が示されている。

【0050】図3において、600はシフトレジスタ回路、700は走査方向切替回路、800はデジタルデータラッチ回路群である。ここで説明する本発明の駆動回

路は、デジタルデータラッチ回路群800を構成するデジタルデータラッチ回路810、820、830、840および850においては、それぞれ、リセット信号(Res)によって入力される第1の電源電圧(VDD_1)および入力されるデジタルデータ(DIGITAL DATA)が容量Cで保持されるようになっている。

【0051】このような構成を採ることによって、より簡単な駆動回路が実現できる。

【0052】次に、図18を参照する。図18には、シフトレジスタ回路とデジタルデータラッチ回路群との間にバッファ回路を設けた場合の本発明の駆動回路の回路構成図が示されている。

【0053】図18において、3500はシフトレジスタ回路、3600はバッファ回路、3700はデジタルデータラッチ回路群である。

【0054】バッファ回路3600は、インバータ回路3610、3611、3620、3621、3630、3631、3640、3641、3650、3651を有している。

【0055】他の構成については、上述の本発明の駆動回路の説明を参照することができる。

【0056】本発明の実施例について以下に説明する。

【0057】

【実施例】

【0058】(実施例1)

【0059】図4を参照する。図4には、本発明の駆動回路を用いた液晶表示装置の実施例が示されている。本実施例の液晶表示装置1000は、ソースドライバ1100、ゲートドライバ1200、デジタルビデオデータ分割回路1300および画素部1400を有している。本実施例の液晶表示装置1000には、外部から8ビットデジタルビデオデータが入力される。また、本実施例の液晶表示装置1000の画素部は1024×768画素(横×縦)を有している。

【0060】本実施例のソースドライバ1100は、シフトレジスタ回路1110、デジタルデータラッチ回路(1)1120、デジタルデータラッチ回路(2)1130、およびD/A変換回路(DAC)1140を有している。なお、シフトレジスタ回路1110は、走査方向切替回路(図示せず)を有している。また、D/A変換回路はレベルシフタ回路(図示せず)を有している。

【0061】本実施例のゲートドライバ1200は、シフトレジスタ回路およびバッファ回路(共に図示せず)を有している。なお、本実施例のゲートドライバには、本発明のシフトレジスタ回路が用いられ得る。

【0062】1300はデジタルデータ分割回路(SPC; Serial-to-Parallel Conversion Circuit)である。デジタルデータ分割回路1300は、液晶表示装置1000の外部装置から入力されるデジタルデータの周

波数を $1/m$ に落とすための回路である。外部から入力されるデジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も $1/m$ に落とすことができる。

【0063】本実施例では、デジタルデータ分割回路1300には、外部から80MHzの8ビットデジタルデータが入力される。デジタルデータ分割回路1300は、外部から入力される80MHzの8ビットデジタルデータをシリアル-パラレル変換し、40MHzのデジタルデータをソースドライバ1100に供給する。

【0064】ここで、本実施例の液晶表示装置1000のシフトレジスタ回路1110およびデジタルデータラッチ回路(1)について詳細に説明する。

【0065】図5を参照する。図5には、本実施例のシフトレジスタ回路1110およびデジタルデータラッチ回路群(1)1120-1および1120-2が示されている。なお、図5においては、説明の便宜上、デジタルデータラッチ回路(1)群として1120-1および1120-2を示しているが、本実施例のソースドライバ1100は、1120-1~1120-16の16個のデジタルデータラッチ回路を有している。

【0066】なお、本実施例においては、走査方向切替回路はシフトレジスタ回路1110の一部と捉えている。ただし、走査方向の切替えの必要のない液晶表示装置に本実施例のシフトレジスタ回路を用いる場合には、走査方向切替回路を省略することもできる。

【0067】ここで、本実施例の液晶表示装置の駆動回路の動作を説明する。

【0068】まず、シフトレジスタ回路1110にクロック信号(CLK)およびクロックバック信号(CLKB)ならびにスタートパルス(SP)が入力される。上述した様に本発明の駆動回路においては、シフトレジスタ回路1110は、クロック信号(CLK)およびクロックバック信号(CLKB)ならびにスタートパルス(SP)に基づきタイミング信号を順に発生させ、デジタルデータラッチ回路群(1)を構成するデジタルデータラッチ回路に順に出力する。

【0069】シフトレジスタ回路1110から出力されたタイミング信号は、デジタルデータラッチ回路(1)1120-1~1120-16に供給される。デジタルデータラッチ回路(1)1120-1~1120-16は、前記タイミング信号が入力されると、デジタルデータ分割回路から供給される8ビットデジタルデータを順次取り込み、保持する。

【0070】デジタルデータラッチ回路群(1)1120-1~1120-16の全てのステージにデジタルデータの書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、シフトレジスタ回路1110が左から右に順にタイミング信号を発生させる場合、デジタルデータラッチ回路群(1)1120-1~11

20-16の中で一番左側のステージのデジタルデータラッチ回路にデジタルデータの書き込みが開始される時点から、一番右側のステージのデジタルデータラッチ回路にデジタルデータの書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0071】1ライン期間の終了後、シフトレジスタ回路1110の動作タイミングに合わせて、デジタルデータラッチ回路群(2)1130にラッチング信号(LS)が供給される。この瞬間、デジタルデータラッチ回路群(1)1120に書き込まれ保持されているデジタルデータは、デジタルデータラッチ回路群(2)1130に一齐に送出され、デジタルデータラッチ回路群(2)1130の全ステージのデジタルデータラッチ回路に書き込まれ、保持される。

【0072】デジタルデータをデジタルデータラッチ回路群(2)1130に送出し終えたデジタルデータラッチ回路群(1)1120には、シフトレジスタ回路1110からのタイミング信号に基づき、再びデジタルデータ信号分割回路から供給されるデジタルデータの書き込みが順次行われる。

【0073】この2順目の1ライン期間中には、デジタルデータラッチ回路群(2)1130に書き込まれ、保持されているデジタルデータがD/A変換回路1140に出力される。D/A変換回路1140は、入力されるデジタルデータに基づきアナログデータを対応するソース信号線に出力する。

【0074】ソース信号線に供給されるアナログデータは、ソース信号線に接続されている画素部1400の画素TF Tのソース領域に供給される。

【0075】ゲートドライバ1200においては、シフトレジスタ(図示せず)からのタイミング信号がバッファ回路(図示せず)に供給され、対応するゲート信号線(走査線)に供給される。ゲート信号線には、1ライン分の画素TF Tのゲート電極が接続されており、1ライン分全ての画素TF Tを同時にONにしなければならないので、バッファ回路には電流容量の大きなものが用いられる。

【0076】このように、ゲートドライバからの走査信号によって対応する画素TF Tのスイッチングが行われ、ソースドライバからのアナログデータ(階調電圧)が画素TF Tに供給され、液晶分子が駆動される。

【0077】(実施例2)

【0078】本実施例の液晶表示装置は、実施例1の液晶表示装置とはソースドライバのデジタルデータラッチ回路群(1)の構成が異なる。その他の構成は、実施例1の液晶表示装置と同じである。

【0079】図6を参照する。図6には、本実施例の液晶表示装置のソースドライバのシフトレジスタ回路21

10

20

30

40

50

10、およびデジタルデータラッチ回路群(1)2120-1および2120-2が示されている。なお、図6においては、説明の便宜上、デジタルデータラッチ回路(1)群として2120-1および2120-2を示しているが、本実施例のソースドライバ2100は、2120-1~2120-16の16個のデジタルデータラッチ回路を有している。

【0080】本実施例のデジタルデータラッチ回路群(1)2120-1~2120-16は、デジタルデータを保持する素子として容量を用いている。

【0081】本実施例のような構成を採用することによって、より素子数の少ないソースドライバが実現できる。

【0082】(実施例8)

【0083】本実施例の液晶表示装置は、実施例1の液晶表示装置とはソースドライバのデジタルデータラッチ回路群(1)の構成が異なる。その他の構成は、実施例1の液晶表示装置と同じである。

【0084】図7を参照する。図7には、本実施例の液晶表示装置のソースドライバのシフトレジスタ回路3110、およびデジタルデータラッチ回路群(1)3120-1および3120-2が示されている。なお、図7においては、説明の便宜上、デジタルデータラッチ回路(1)群として3120-1および3120-2を示しているが、本実施例のソースドライバ3100は、3120-1~3120-16の16個のデジタルデータラッチ回路を有している。

【0085】本実施例のデジタルデータラッチ回路群(1)3120-1~3120-16は、実施例1で用いられているリセット信号(Res)が入力されるPチャネル型TFTの代わりに抵抗Rが接続されている。

【0086】(実施例4)本実施例においては、本発明の駆動回路を有する液晶表示装置の作製方法例を図8~図12を用いて説明する。本実施例の液晶表示装置においては、画素部、ソースドライバ、ゲートドライバ等を一つの基板上に一体形成される。なお、説明の便宜上、画素TFTと本発明の駆動回路の一部を構成するNchTFTとインバータ回路を構成するPchTFTおよびNchTFTとが同一基板上に形成されることを示すものとする。

【0087】図8(A)において、基板6001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10~20℃程度低い温度であらかじめ熱処理しておいても良い。この基板6001のTFT形成表面には、基板6001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜6002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を100nm、同様にSiH₄、N₂Oから作製される酸化窒化シリコン膜を20

0nmの厚さに積層形成する。

【0088】次に、20~150nm(好ましくは30~80nm)の厚さで非晶質構造を有する半導体膜6003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を54nmの厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜6002と非晶質シリコン膜6003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気に出すことがなくその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる(図8(A))。

【0089】そして、公知の結晶化技術を使用して非晶質シリコン膜6003aから結晶質シリコン膜6003bを形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜6003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400~500℃で1時間程度の熱処理を行い、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ(本実施例では54nm)よりも1~15%程度減少する(図8(B))。

【0090】そして、結晶質シリコン膜6003bを島状にパターンニングして、島状半導体層6004~6007を形成する。その後、プラズマCVD法またはスパッタ法により50~150nmの厚さの酸化シリコン膜によるマスク層6008を形成する(図8(C))。本実施例では、マスク層6008の厚さは130nmとする。

【0091】そしてレジストマスク6009を設け、nチャネル型TFTを形成することとなる島状半導体層6004~6007の全面に $1 \times 10^{16} \sim 5 \times 10^{17}$ atom s/cm²程度の濃度でp型を付与する不純物元素としてボロン(B)を添加する。このボロン(B)の添加は、しきい値電圧を制御する目的でなされる。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要ではない(図8(D))。

【0092】ドライバ等の駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010~6012に選択的に添

加する。そのため、あらかじめレジストマスク6013～6016を形成する。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成された不純物領域6017、6018のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm²の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017～6019に含まれるn型を付与する不純物元素の濃度を(n⁻)と表す。また、不純物領域6019は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加する(図9(A))。その後、レジストマスク6013～6016を除去する。

[0093] 次に、マスク層6008をフッ酸などにより除去した後、図8(D)と図9(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光にはKrFエキシマレーザー光(波長248nm)を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

[0094] そして、ゲート絶縁膜6020をプラズマCVD法またはスパッタ法を用いて10～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図9(B))。

[0095] 次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて三層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)6021と金属膜から成る導電層(B)6022とを積層させる。導電層(B)6022はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜またはMo-Ta合金膜)で形成すれば良く、導電層(A)6021は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)60

22は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができる。

[0096] 導電層(A)6021は10～50nm(好ましくは20～30nm)とし、導電層(B)6022は200～400nm(好ましくは250～350nm)とすれば良い。本実施例では、導電層(A)6021に50nmの厚さの窒化タンタル膜を、導電層(B)6022には350nmのTa膜を用い、いずれもスパッタ法で形成する。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)6021の下に2～20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる(図9(C))。

[0097] 次に、レジストマスク6023～6027を形成し、導電層(A)6021と導電層(B)6022とを一括でエッチングしてゲート電極6028～6031と容量配線6032を形成する。ゲート電極6028～6031と容量配線6032は、導電層(A)から成る6028a～6032aと、導電層(B)から成る6028b～6032bとが一体として形成されている。この時、後にドライバ等の駆動回路を構成するTF Tのゲート電極6028～6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する(図9(D))。

[0098] 次に、ドライバのPチャネル型TF Tのソース領域およびドレイン領域を形成するために、P型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、Nチャネル型TF Tが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン(B₂H₆)を用いたイオンドープ法で不純物領域6034を形成した。この領域のボロン(B)濃度は $3 \times 10^{18} \sim 3 \times 10^{21}$ atoms/cm²となるようにする。本明細書中では、ここで形成された不純物領域6034に含まれるP型を付与する不純物元素の濃度を(p⁺)と表す(図10(A))。

[0099] 次に、Nチャネル型TF Tにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035～6037を形成し、N型を付与する不純物元素が添加して不純物領域6038～6042を形成した。これは、フォスフィ

ン(PH₃)を用いたイオンドープ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³とした。本明細書中では、ここで形成された不純物領域6038~6042に含まれるN型を付与する不純物元素の濃度を(n⁺)と表す(図10(B))。

【0100】不純物領域6038~6042には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前工程で添加されたリン(P)またはボロン(B)の影響は考えなくても良い。また、不純物領域6038に添加されたリン(P)濃度は図10(A)で添加されたボロン(B)濃度の1/2~1/3なのでp型の導電性が確保され、TFETの特性に何ら影響を与えることはなかった。

【0101】そして、画素部のnチャネル型TFETのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³であり、図9(A)および図10(A)と図10(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域6043、6044のみが形成される。本明細書中では、この不純物領域6043、6044に含まれるn型を付与する不純物元素の濃度を(n⁺)と表す(図10(C))。

【0102】ここで、ゲート電極のTaのピーリングを防止するために層間膜としてSiON膜等を200nmの厚さで形成しても良い。

【0103】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンেসアニール法、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)で行うことができる。ここではファーンেসアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行った。また、基板6001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、上述のゲート電極のTaのピーリングを防止するための層間膜を形成した場合には、この効果は得られない場合がある。

【0104】この熱処理において、ゲート電極6028~6031と容量配線6032形成する金属膜6028b~6032bは、表面から5~80nmの厚さでその表面に導電層(C)6028c~6032cが形成され

る。例えば、導電層(B)6028b~6032bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層

(C)6028c~6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028~6031及び容量配線6032を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0105】島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTFETを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段がある。ゲッタリングに必要なリン(P)の濃度は図10(B)で形成した不純物領域(n⁺)と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFETおよびpチャネル型TFETのチャネル形成領域から触媒元素をゲッタリングをすることができた(図10(D))。

【0106】第1の層間絶縁膜6045は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線6046~6049と、ドレイン配線6050~6053を形成する(図11(A))。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜500nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0107】次に、バッシベーション膜6054として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。本実施例においては、バッシベーション膜6054は窒化シリコン膜50nmと酸化シリコン膜24.5nmとの積層膜とした。この状態で水素化処理を行うとTFETの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、バッシベーション膜6054に開口部

を形成しておいても良い(図11(A))。

【0108】その後、有機樹脂からなる第2層間絶縁膜6055を1.0~1.5 μ mの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのアクリルを用い、250℃で焼成して形成する(図11(B))。

【0109】ここで、D/A変換回路の容量を形成する。D/A変換回路の容量の電極となるべき電極はドレイン配線と同一配線層に形成されている。前記電極の上部の第2層間絶縁膜6055を全部除去する(図示せず)。次に、ブラックマトリクスを形成する(図示せず)。本実施例ではブラックマトリクスは、Ti膜を100nmに形成し、その後AlとTiの合金膜を300nmに形成した積層構造とする。よって、本実施例では、前記電極とブラックマトリクスとの間でD/A変換回路の容量が形成される。

【0110】その後、有機樹脂からなる第3層間絶縁膜6059を1.0~1.5 μ mの厚さに形成する。有機樹脂としては、第2層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0111】そして、第2層間絶縁膜6055および第3層間絶縁膜6059にドレイン配線6053に達するコンタクトホールを形成し、画素電極6060を形成する。本発明の透過型液晶表示装置においては、画素電極6060にはITO等の透明導伝膜を用いる。(図11(B))。

【0112】こうして同一基板上に、駆動回路TFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成されている(図12)。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【0113】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶表示装置を作製する工程を説明する。

【0114】図12の状態のアクティブマトリクス基板に配向膜6061を形成する。本実施例では、配向膜6061にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板6062、透明導電膜からなる対向電極6063、配向膜6064とで構成される。

【0115】なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すこと

により、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0116】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(共に図示せず)などを介して貼り合わせる。その後、両基板の間に液晶6065を注入し、封止剤(図示せず)によって完全に封止する。よって、図12に示すような透過型液晶表示装置が完成する。

【0117】なお本実施例では、透過型液晶表示装置がTN(ツイスト)モードによって表示を行うようにした。そのため、偏光板(図示せず)が透過型液晶表示装置の上部に配置された。

【0118】駆動回路のpチャネル型TFT6101には、島状半導体層6004にチャネル形成領域806、ソース領域807a、807b、ドレイン領域808a、808bを有している。第1のnチャネル型TFT6102には、島状半導体層6005にチャネル形成領域809、ゲート電極6071と重なるLDD領域810(以降、このようなLDD領域をLovと記す)、ソース領域811、ドレイン領域812を有している。このLov領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.0~1.5 μ mとした。第2のnチャネル型TFT6103には、島状半導体層6006にチャネル形成領域813、LDD領域814、815、ソース領域816、ドレイン領域817を有している。このLDD領域はLov領域とゲート電極6072と重ならないLDD領域(以降、このようなLDD領域をLoffと記す)とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0 μ m、好ましくは0.5~1.5 μ mである。画素TFT6104には、島状半導体層6007にチャネル形成領域818、819、Loff領域820~823、ソースまたはドレイン領域824~826を有している。Loff領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.5~2.5 μ mである。また、画素TFT6104のチャネル形成領域818、819と画素TFTのLDD領域であるLoff領域820~823との間には、オフセット領域(図示せず)が形成されている。さらに、容量配線6074と、ゲート絶縁膜6020から成る絶縁膜と、画素TFT6073のドレイン領域826に接続し、n型を付与する不純物元素が添加された半導体層827とから保持容量805が形成されている。図12では画素TFT804をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0119】以上の様に本実施例においては、画素TFTおよびドライバが要求する仕様に応じて各回路を構成するTFTの構造を最適化し、液晶表示装置の動作性能と信頼性を向上させることを可能とすることができる。

【0120】なお、本実施例においては透過型の液晶表示装置について説明した。しかし、本発明の駆動回路を用いることができる液晶表示装置は、これに限定されるわけではなく、反射型の液晶表示装置にも用いることができる。

【0121】（実施例5）

【0122】本実施例では、本発明の駆動回路を有する液晶表示装置を逆スタガ型のTFTを用いて構成した例を示す。

【0123】図13を参照する。図13には、本実施例の液晶表示装置を構成する逆スタガ型のNチャンネル型TFTの断面図が示されている。なお、図13には、1つのNチャンネル型TFTしか図示しないが、Pチャンネル型TFTとNチャンネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成できることも言うまでもない。

【0124】図13（A）を参照する。4001は基板であり、実施例4で説明したようなものが用いられる。4002は酸化シリコン膜である。4003はゲート電極である。4004はゲート絶縁膜である。4005、4006、4007および4008は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例4で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、4005はソース領域、4006はドレイン領域、4007は低濃度不純物領域（LDD領域）、4008はチャンネル形成領域である。4009はチャンネル保護膜であり、3010は層間絶縁膜である。4011および4012はそれぞれ、ソース電極、ドレイン電極である。

【0125】次に、図13（B）を参照する。図13（B）には図13（A）とは構成が異なる逆スタガ型のTFTによって液晶表示装置が構成された場合について説明する。

【0126】図13（B）においても、1つのNチャンネル型TFTしか図示しないが、上述のようにPチャンネル型TFTとNチャンネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成できることも言うまでもない。

【0127】4101は基板である。4102は酸化シリコン膜である。4103はゲート電極である。4104はベンゾジクロブテン（BCB）膜であり、その上面が平坦化される。4105は窒化シリコン膜である。BCB膜と窒化シリコン膜とでゲート絶縁膜を構成する。4106、4107、4108および4109は、多結晶シリコン膜から成る活性層である。この活性層の作製

にあたっては、実施例1で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、4106はソース領域、4107はドレイン領域、4108は低濃度不純物領域（LDD領域）、4109はチャンネル形成領域である。4110はチャンネル保護膜であり、4111は層間絶縁膜である。4112および4113はそれぞれ、ソース電極、ドレイン電極である。

【0128】本実施例によると、BCB膜と窒化シリコン膜とで構成されるゲート絶縁膜が平坦化されているので、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型のTFTよりも均一な多結晶シリコン膜を得ることができる。

【0129】（実施例6）

【0130】上述の本発明の駆動回路を用いた液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0131】ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0132】ここで、いわゆるV字型の電気光学応答を示す無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図16に示す。図16に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しき値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0133】図14に示されるように、このような無し

きい値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0134】また、このような低電圧駆動の無しきい値反強誘電性混合液晶を本発明の駆動回路を有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げるできるので、D/A変換回路の動作電源電圧を下げることができ、ドライバの動作電源電圧を低くすることができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0135】よって、このような低電圧駆動の無しきい値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0136】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0137】なお、このような無しきい値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0138】なお、図14に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の駆動回路を用いた液晶表示装置の表示媒体として用いることができる。

【0139】（実施例7）

【0140】本発明の駆動回路を有する液晶表示装置は、様々な電子機器に組み込んで用いることができる。

【0141】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図15および図16に示す。

【0142】図15（A）はフロント型プロジェクターであり、本体10001、本発明の駆動回路を用いた液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図15（A）には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだことによって、より高解像度・高精細のフロント型プロジェクターを実現することができる。

【0143】図15（B）はリア型プロジェクターであり、10006は本体、10007は本発明の駆動回路を用いた液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリー

ンである。なお、図15（B）には、液晶表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだリア型プロジェクターが示されている。

【0144】図16（A）はパーソナルコンピュータであり、本体7001、映像入力部7002、本発明の駆動回路を用いた液晶表示装置7003、キーボード7004で構成される。

【0145】図16（B）はビデオカメラであり、本体7101、本発明の駆動回路を用いた液晶表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。

【0146】図16（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体7201、カメラ部7202、受像部7203、操作スイッチ7204、本発明の駆動回路を用いた液晶表示装置7205で構成される。

【0147】図16（D）はゴーグル型ディスプレイであり、本体7301、本発明の駆動回路を用いた液晶表示装置7302、アーム部7303で構成される。

【0148】図16（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体7401、本発明の駆動回路を用いた液晶表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0149】図16（F）はゲーム機であり、本体7501、本発明の駆動回路を用いた液晶表示装置7502、表示装置7503、記録媒体7504、コントローラ7505、本体用センサ部7506、センサ部7507、CPU部7508で構成される。本体用センサ部7506、センサ部7507はそれぞれコントローラ7505、本体7501から出される赤外線を検知することが可能である。

【0150】以上の様に、本発明の駆動回路を用いた液晶表示装置表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用できる。

【0151】

【発明の効果】

【0152】本発明の駆動回路は、従来の駆動回路よりも構成が簡略化されており、素子数が半分以下で済むことになる。よって、本発明の駆動回路を用いた液晶表示装置は、製造歩留まりが向上し、かつ小型化が実現できる。

【図面の簡単な説明】

【図1】 本発明の駆動回路の回路構成図である。

【図2】 本発明の駆動回路の回路構成図である。

【図3】 本発明の駆動回路の回路構成図である。

【図4】 本発明の駆動回路を用いた液晶表示装置の回

路ブロック図である。

【図 5】 本発明の駆動回路の回路構成図である。

【図 6】 本発明の駆動回路の回路構成図である。

【図 7】 本発明の駆動回路の回路構成図である。

【図 8】 本発明の駆動回路を用いた液晶表示装置の作製工程例を示す図である。

【図 9】 本発明の駆動回路を用いた液晶表示装置の作製工程例を示す図である。

【図 10】 本発明の駆動回路を用いた液晶表示装置の作製工程例を示す図である。

【図 11】 本発明の駆動回路を用いた液晶表示装置の作製工程例を示す図である。

【図 12】 本発明の駆動回路を用いた液晶表示装置の作製工程例を示す図である。

【図 13】 本発明の駆動回路を用いた液晶表示装置の断面図である。

【図 14】 V字型の電気光学特性を示す反強誘電性液*

* 晶の印加電圧-透過率特性を示すグラフである。

【図 15】 本発明の駆動回路を用いた液晶表示装置を組み込んだ電子機器の例である。

【図 16】 本発明の駆動回路を用いた液晶表示装置を組み込んだ電子機器の例である。

【図 17】 従来の駆動回路の回路構成図である。

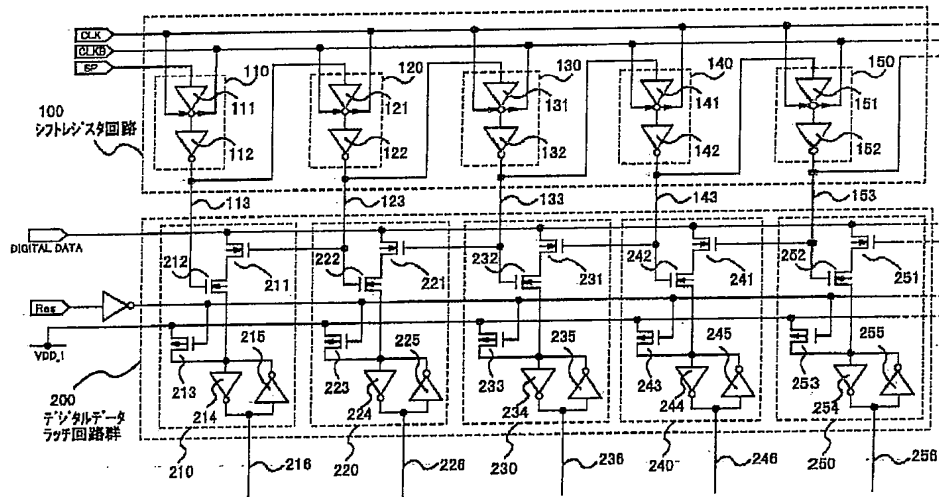
【図 18】 本発明の駆動回路の回路構成図である。

【図 19】 本発明の駆動回路の回路構成図である。

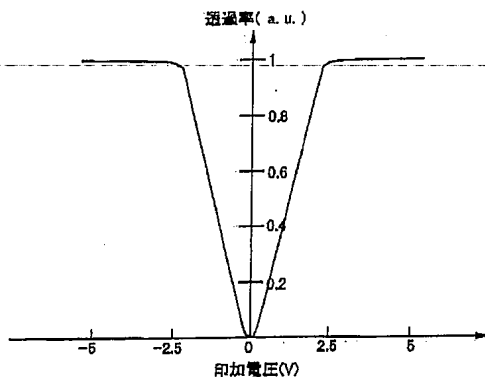
【符号の説明】

- 100 シフトレジスタ回路
110、120、130、140、150 レジスタ回路
200 デジタルデータラッチ回路
210、220、230、240、250 デジタルデータラッチ回路

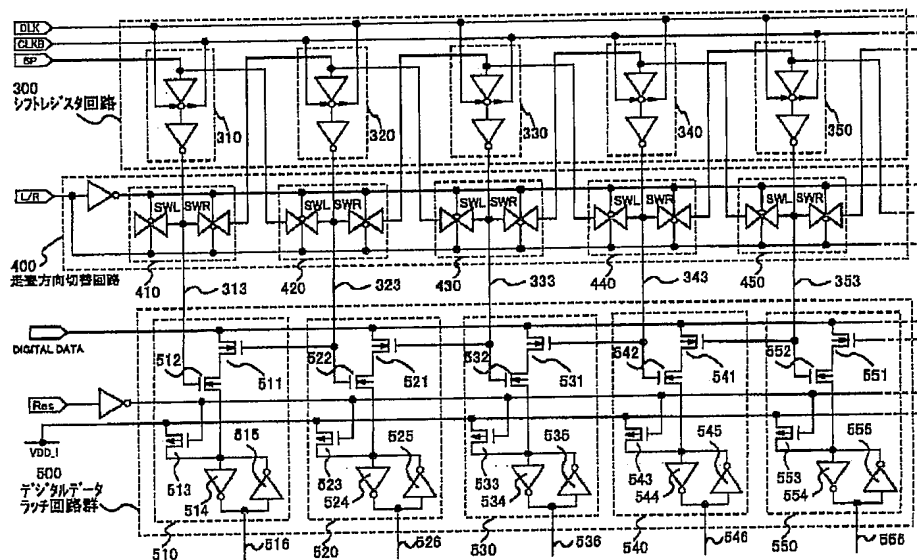
【図 1】



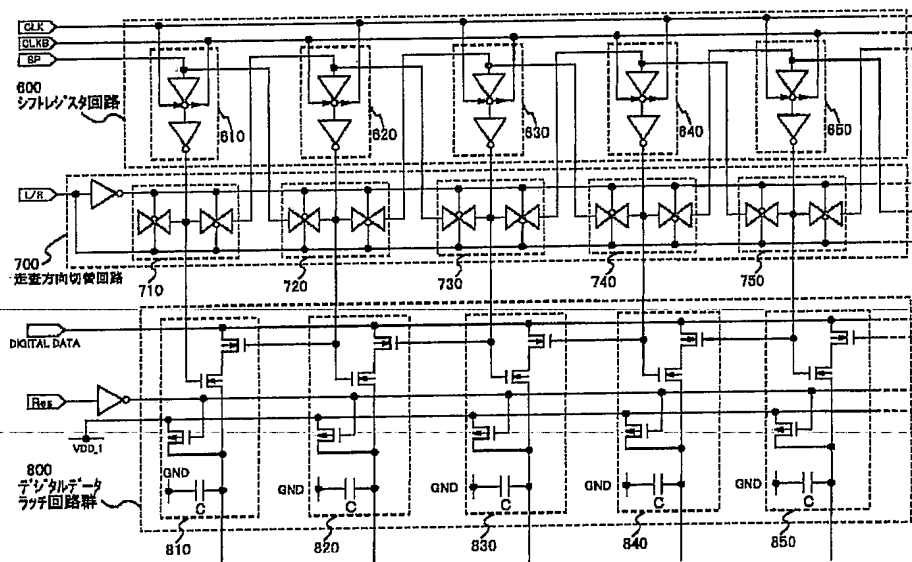
【図 14】



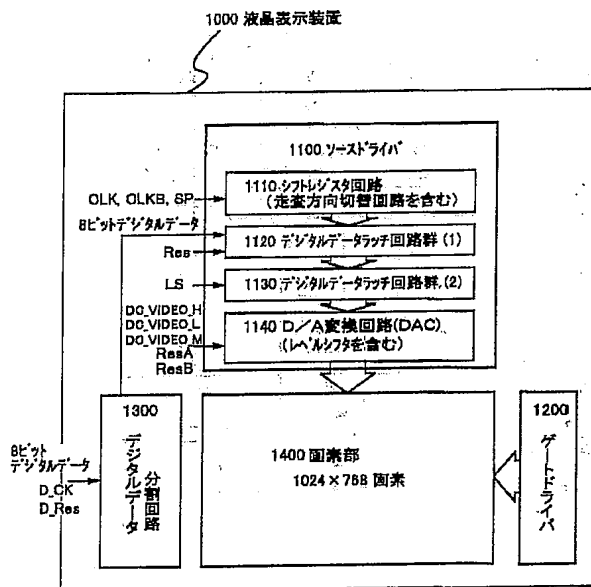
【図 2】



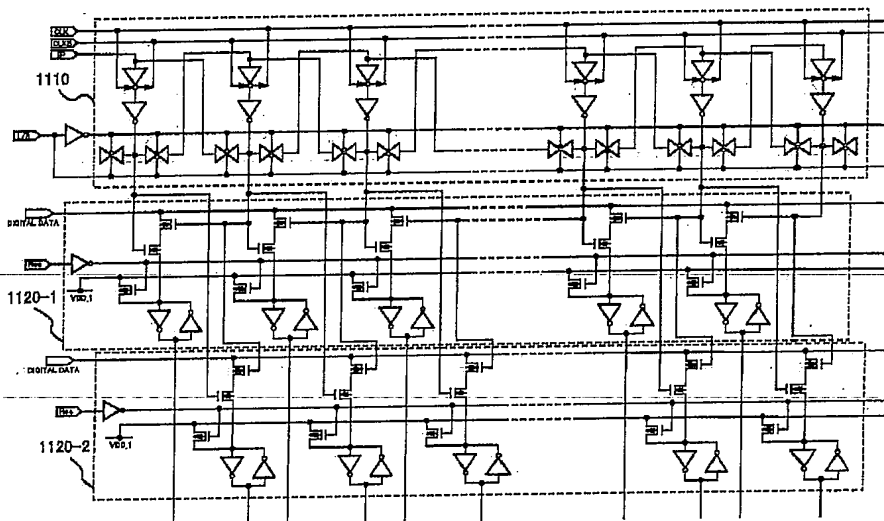
【図 3】



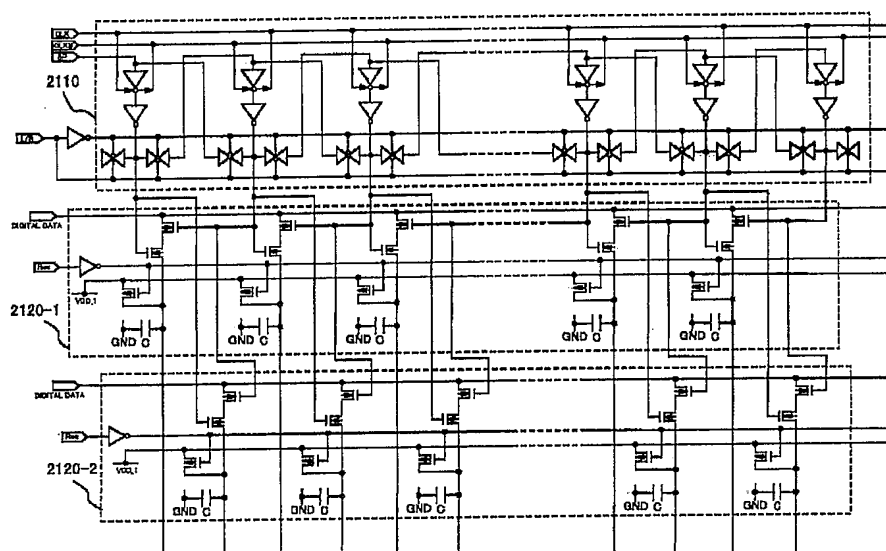
【図 4】



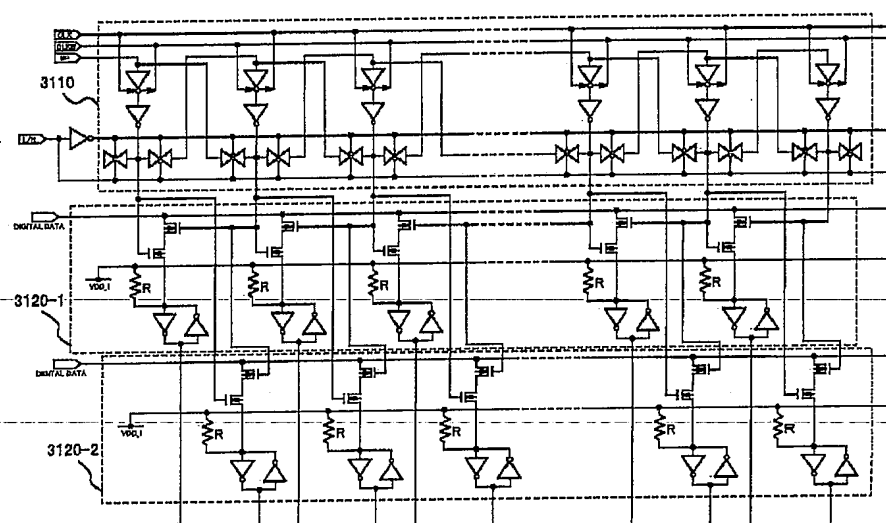
【図5】



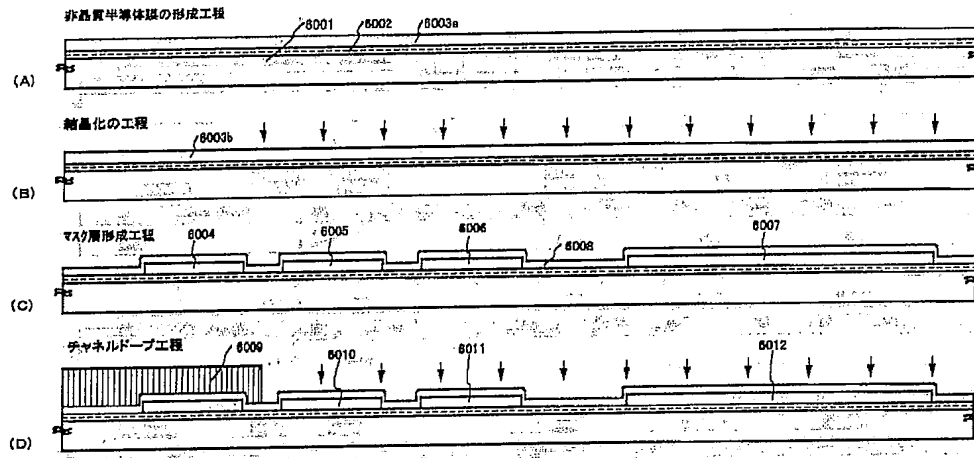
【図6】



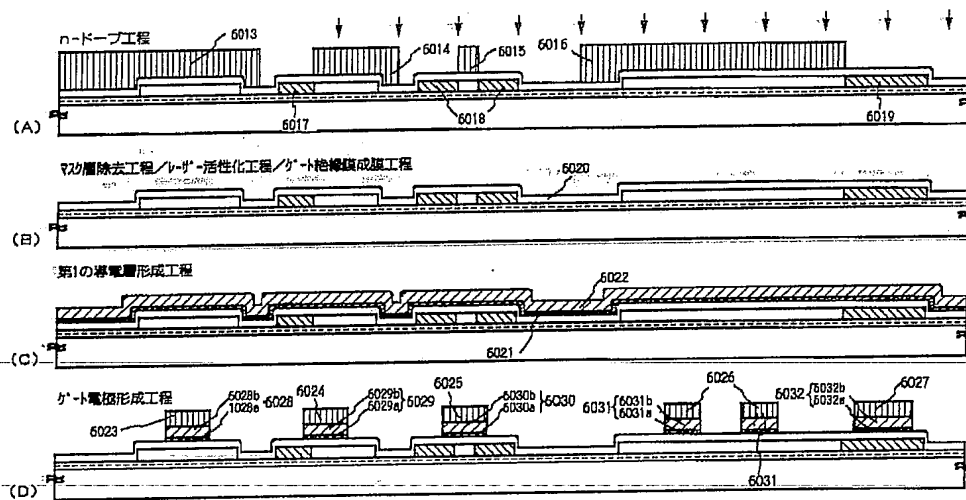
【図7】



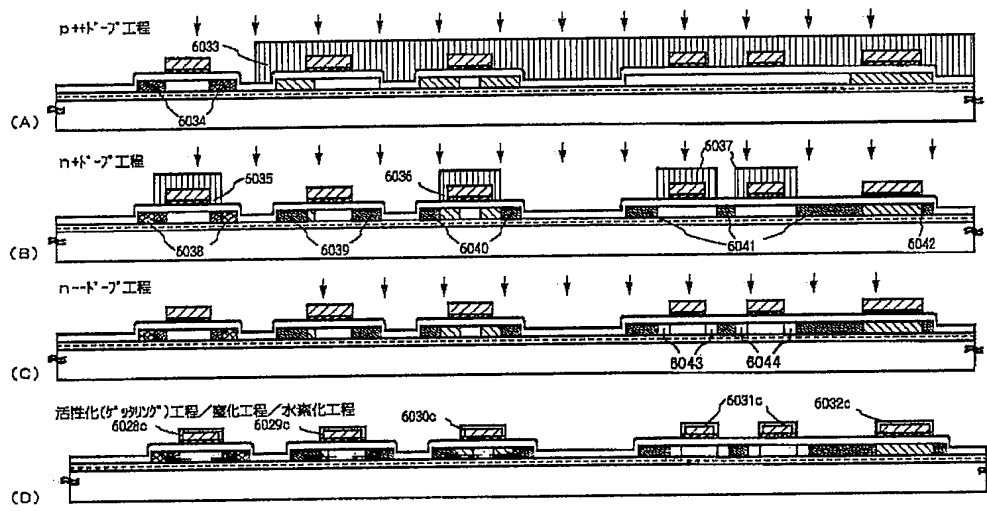
【図8】



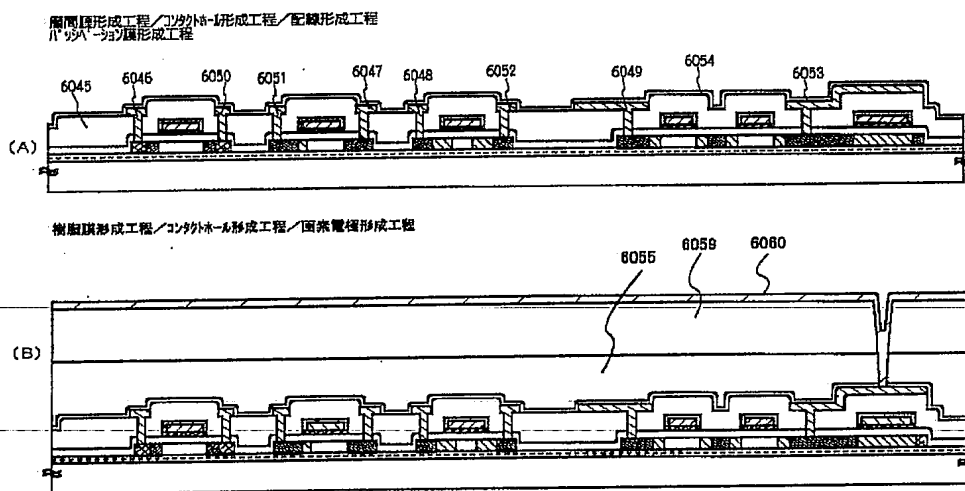
【図9】



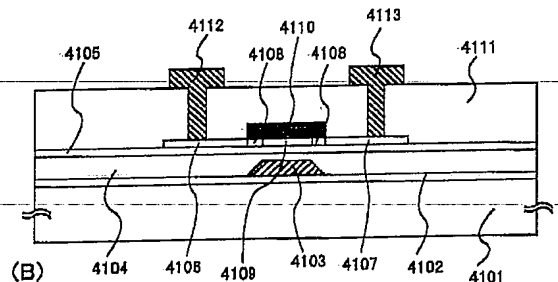
【図10】



【図11】



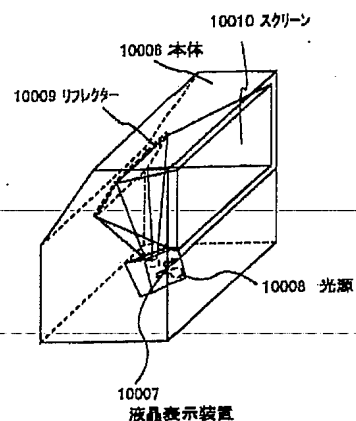
- | | | | |
|------|---------|------|-----------------|
| 4001 | 基板 | 4007 | 低濃度不純物領域(LDD領域) |
| 4002 | 酸化シリコン膜 | 4008 | チャネル形成領域 |
| 4003 | ゲイト電極 | 4009 | チャネル保護膜 |
| 4004 | ゲイト絶縁膜 | 4010 | 層間絶縁膜 |
| 4005 | ソース領域 | 4011 | ソース電極 |
| 4006 | ドレイン領域 | 4012 | ドレイン電極 |



- | | | | |
|-------|----------------|-------|-----------------|
| -4101 | 基板 | -4108 | 低濃度不結晶領域(LDD領域) |
| -4102 | 融化シリコン膜 | -4109 | チャネル形成領域 |
| -4103 | ゲイト電極 | -4110 | チャネル保護膜 |
| -4104 | ベンゾシクロブテン(BCB) | -4111 | 層間絶縁膜 |
| -4105 | 窒化シリコン | -4112 | ソース電極 |
| -4106 | ソース領域 | -4113 | ドレイン電極 |
| -4107 | ドレイン領域 | | |

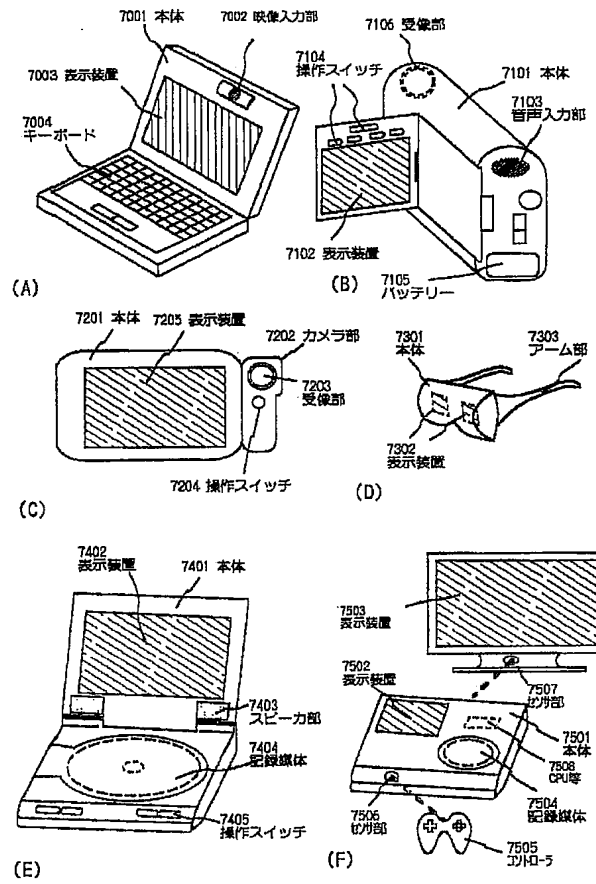
Figure 1 is a perspective view of the main body of the liquid crystal display device. It shows a rectangular box (10001) with a lens (10003) on the front face. A screen (10005) is positioned to the left, and an optical system (10004) is located between the screen and the box. A liquid crystal display unit (10002) is mounted on the front face of the box.

(A)

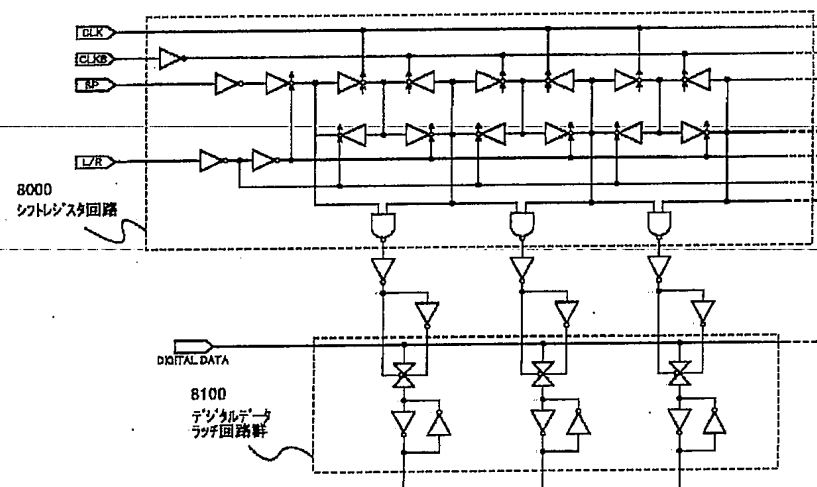


(B)

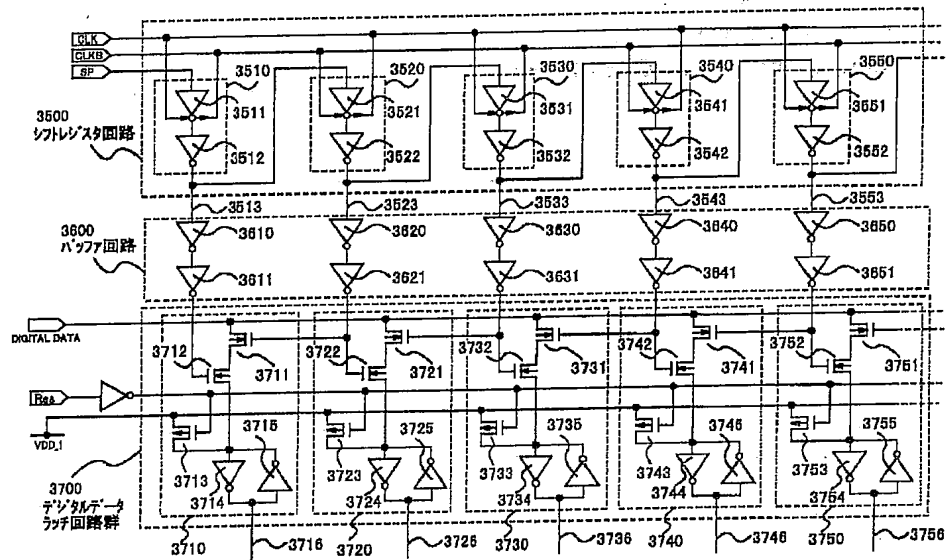
【図16】



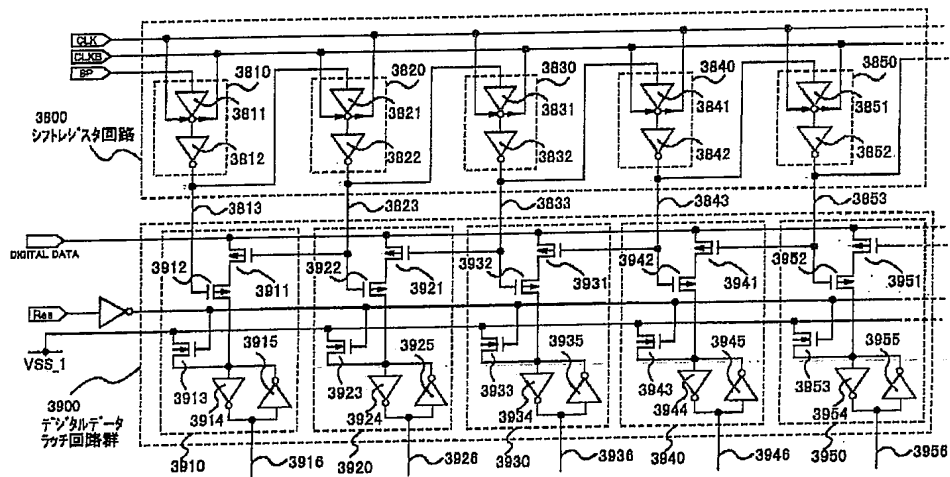
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.⁷

G11C 19/00
19/28
H01L 29/786

識別記号

FI

G11C 19/00
19/28
H01L 29/78

テーマコード(参考)

J
Z
612B
614

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成19年9月13日(2007.9.13)

【公開番号】特開2001-134246(P2001-134246A)
【公開日】平成13年5月18日(2001.5.18)
【出願番号】特願2000-243953(P2000-243953)
【国際特許分類】

【手続補正書】
【提出日】平成19年7月25日(2007.7.25)
【手続補正1】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】駆動回路、表示装置、電子機器、シフトレジスタ回路
【手続補正2】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項1】

複数のレジスタ回路を有するシフトレジスタ回路と、
前記複数のレジスタ回路に対応する複数のデジタルデータラッチ回路と、を有し、
前記デジタルデータラッチ回路は、少なくとも、第1及び第2のトランジスタと、デジタルデータを保持する素子と、を有し、
前記第1のトランジスタのソース又はドレインの一方と、前記第2のトランジスタのソース又はドレインの一方と、は接続されており、
前記第2のトランジスタのソース又はドレインの他方と、前記デジタルデータを保持する素子と、は接続されており、
前記複数のレジスタ回路のうち、一のレジスタ回路を第1のレジスタ回路とし、前記第

1のレジスタ回路と隣接するレジスタ回路を第2のレジスタ回路としたとき、
前記第1のトランジスタのゲート電極と、第1のレジスタ回路の出力部と、は接続されており、

前記第2のトランジスタのゲート電極と、第2のレジスタ回路の出力部と、は接続されており、

前記第1のレジスタ回路の入力部と、前記第2のレジスタ回路の出力部と、は接続されていることを特徴とする駆動回路。

【請求項2】

請求項1において、

前記複数のレジスタ回路は、それぞれ、クロックドインバータ回路とインバータ回路とを有するレジスタ回路を有し、

前記クロックドインバータ回路の出力部と前記インバータ回路の入力部とは接続されていることを特徴とする駆動回路。

【請求項3】

請求項1又は請求項2において、

前記第1のトランジスタのソース又はドレインの他方は、デジタルデータの入力手段と接続されており、

前記デジタルデータを保持する素子は、リセット信号を入力する手段と接続されていることを特徴とする駆動回路。

【請求項4】

請求項1又は請求項2において、

前記デジタルデータラッチ回路は、第3のトランジスタを有し、

前記第1のトランジスタのソース又はドレインの他方は、デジタルデータの入力部と接続されており、

前記第3のトランジスタのソース又はドレインの一方は、電源電圧と接続されており、

前記第3のトランジスタのソース又はドレインの他方は、前記デジタルデータを保持する素子と接続されており、

前記第3のトランジスタのゲート電極は、リセット信号が入力される信号線と接続されていることを特徴とする駆動回路。

【請求項5】

請求項4において、

前記第1及び第2のトランジスタはnチャネル型トランジスタであり、前記第3のトランジスタはpチャネル型トランジスタであることを特徴とする駆動回路。

【請求項6】

請求項4において、

前記第1及び第2のトランジスタはpチャネル型トランジスタであり、前記第3のトランジスタはnチャネル型トランジスタであることを特徴とする駆動回路。

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記デジタルデータを保持する素子は、2つのインバータ回路を有し、

前記2つのインバータ回路の一方の入力部と前記2つのインバータ回路の他方の出力部とが接続され、前記2つのインバータ回路の一方の出力部と前記2つのインバータ回路の他方の入力部とが接続されていることを特徴とする駆動回路。

【請求項8】

請求項1乃至請求項6のいずれか一項において、

前記デジタルデータを保持する素子は、容量素子であることを特徴とする駆動回路。

【請求項9】

請求項1乃至請求項8のいずれか一項に記載の駆動回路を有することを特徴とする表示装置。

【請求項10】

請求項 9 に記載の表示装置を有することを特徴とする電子機器。

【請求項 1 1】

直列接続された複数のレジスタ回路を有し、

前記複数のレジスタ回路は、それぞれ、クロックドインバータ回路とインバータ回路とを有するレジスタ回路を有し、

前記クロックドインバータ回路の出力部と前記インバータ回路の入力部とは接続されていることを特徴とするシフトレジスタ回路。

【請求項 1 2】

請求項 1 1 に記載のシフトレジスタ回路を有することを特徴とする表示装置。

【請求項 1 3】

請求項 1 2 に記載の表示装置を有することを特徴とする電子機器。